

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
11. Januar 2001 (11.01.2001)

PCT

(10) Internationale Veröffentlichungsnummer
WO 01/03189 A1

(51) Internationale Patentklassifikation⁷: **H01L 25/065,**
21/98

**ZUR FÖRDERUNG DER ANGEWANDTEN
FORSCHUNG E.V. [DE/DE];** Leonrodstrasse 54,
D-80636 München (DE).

(21) Internationales Aktenzeichen: **PCT/EP00/06132**

(22) Internationales Anmeldedatum:
30. Juni 2000 (30.06.2000)

(72) Erfinder; und

(75) Erfinder/Anmelder (*nur für US*): **LANDESBERGER,**
Christof [DE/DE]; Oswald-Bieber-Weg 7, D-81241
München (DE). **REICHL, Herbert** [DE/DE]; Gneist-
strasse 6A, D-14193 Berlin (DE). **ANSORGE, Frank**
[DE/DE]; Kronwinkler Strasse 27D, D-81245 München
(DE). **RAMM, Peter** [DE/DE]; Ilmsiedlung 11b, D-85276
Pfaffenhofen (DE). **EHRMANN, Oswin** [DE/DE];
Spechtstrasse 22, D-13505 Berlin (DE).

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:
99112540.2 1. Juli 1999 (01.07.1999) EP
100 11 005.3 7. März 2000 (07.03.2000) DE

(74) Anwälte: **SCHOPPE, Fritz** usw.; Schoppe, Zimmermann
& Stöckeler, Postfach 71 08 67, D-81458 München (DE).

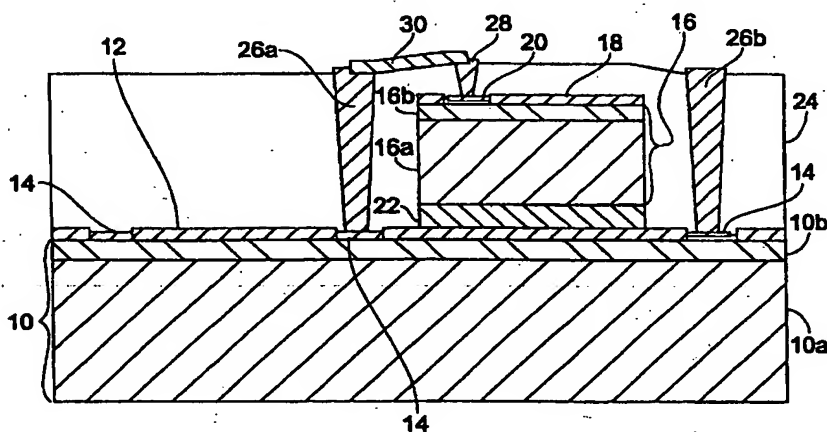
(71) Anmelder (*für alle Bestimmungsstaaten mit Aus-
nahme von US*): **FRAUNHOFER-GESELLSCHAFT**

(81) Bestimmungsstaaten (*national*): JP, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: **MULTICHIP MODULE AND METHOD FOR PRODUCING A MULTICHIP MODULE**

(54) Bezeichnung: **MULTI-CHIP-MODUL UND VERFAHREN ZUM HERSTELLEN EINES MULTI-CHIP-MODULS**



(57) Abstract: The invention relates to a multichip module comprising a base chip (10), a top chip (16), whose thickness is less than 100 μm , and an adhesive layer (22) which is placed between the base chip (10) and the top chip (16), and both chips are mechanically joined to one another. An electrically insulating planarization layer (24) is provided in order to obtain a planar surface such that the top chip (16) is embedded in the planarization layer (24). A through hole (26a) in the planarization layer (24) is filled with an electrically conductive material, is connected to a connection surface (20) of the top chip (16) via a metallization (28, 30). Through holes (26a, 26b) in the planarization layer (24), which are filled with electrically conductive material, enable the production of all connections between the chips, between the base chip and an external contact of the multichip module or between the top chip and an external contact of the multichip module in a manner that is independent of the individual chips and while using conventional semiconductor processing steps for planar surfaces.

[Fortsetzung auf der nächsten Seite]

WO 01/03189 A1



(84) **Bestimmungsstaaten (regional):** europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

- *Mit internationalem Recherchenbericht.*
- *Vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen.*

(57) **Zusammenfassung:** Ein Multi-Chip-Modul umfasst einen Basischip (10), einen Top-Chip (16), dessen Dicke kleiner als 100 µm ist, sowie eine Klebeschicht (22), die zwischen dem Basis-Chip (10) und dem Top-Chip (16) angeordnet ist und die beiden Chips mechanisch miteinander verbindet. Eine elektrisch isolierende Planarisierungsschicht (24) wird vorgesehen, um eine planare Oberfläche zu erhalten, derart, dass der Top-Chip (16) in die Planarisierungsschicht (24) eingebettet ist. Ein Durchgangsloch (26a) in der Planarisierungsschicht (24) ist mit einem elektrisch leitfähigen Material gefüllt und einerseits mit einer Anschlussfläche des Basis-Chips (10) in Verbindung und andererseits über eine Metallisierung (28, 30) mit einer Anschlussfläche (20) des Top-Chips (16) elektrisch leitfähig verbunden. Durch Durchgangslöcher (26a, 26b) in der Planarisierungsschicht (24), die mit elektrisch leitfähigem Material gefüllt sind, können sämtliche Verbindungen zwischen den Chips, zwischen dem Basischip und einem äusseren Kontakt des Multi-Chip-Moduls oder zwischen dem Top-Chip und einem äusseren Kontakt des Multi-Chip-Moduls unabhängig von den einzelnen Chips und unter Verwendung üblicher Halbleiterprozessschritte für planare Oberflächen hergestellt werden.